

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 3 月 31 日 (31.03.2005)

PCT

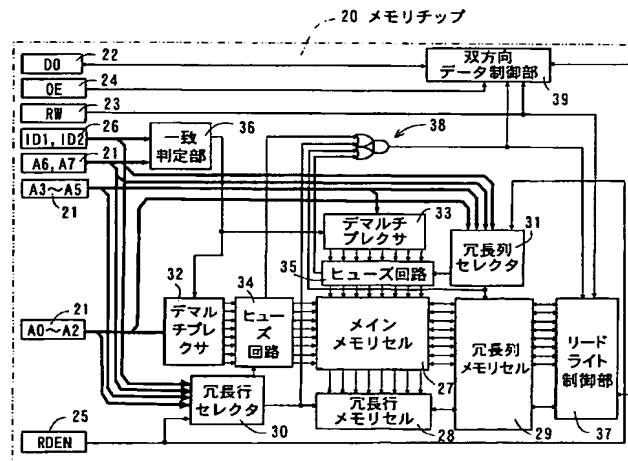
(10) 国際公開番号  
WO 2005/029505 A1

- (51) 国際特許分類<sup>7</sup>: G11C 29/00 5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/013960 (72) 発明者; および
- (22) 国際出願日: 2004 年 9 月 24 日 (24.09.2004) (75) 発明者/出願人 (米国についてのみ): 佐藤 知稔 (SATO, Tomotoshi) [JP/JP]; 〒5180435 三重県名張市つつじヶ丘北 5 番町 1 4 7 番地 Mie (JP).
- (25) 国際出願の言語: 日本語 (74) 代理人: 西教 圭一郎, 外 (SAIKYO, Keiichiro et al.); 〒5410051 大阪府大阪市中央区備後町 3 丁目 2 番 6 号 数島ビル Osaka (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-331889 2003 年 9 月 24 日 (24.09.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒

[続葉有]

(54) Title: MEMORY DEVICE

(54) 発明の名称: メモリ装置



- 20... MEMORY CHIP  
39... BIDIRECTIONAL DATA CONTROL UNIT  
36... COINCIDENCE JUDGMENT UNIT  
33... DEMULTIPLEXER  
31... REDUNDANT SELECTOR  
35... FUSE CIRCUIT  
32... DEMULTIPLEXER  
34... FUSE CIRCUIT  
27... MAIN MEMORY CELL  
28... REDUNDANT ROW MEMORY CELL  
29... REDUNDANT COLUMN MEMORY CELL  
37... READ/WRITE CONTROL UNIT

(57) Abstract: A memory chip (20) includes: a main memory cell (27); a redundant row memory cell (28) and a redundant column memory cell (29) for redeeming a defect present in the main memory (27); a recognition number specification terminal (26) for storing a recognition number corresponding to the main memory cell (27); an address terminal (21) for receiving the recognition number; and a redundant row selector circuit (30) and a redundant column selector circuit (31) for performing allocation so as to replace a memory space having a defect of the main memory cell (27) with a memory space of the redundant memory cells (27, 28). The redundant selector circuits (30, 31) allocate a memory space corresponding to the defect of the main memory cell (27) to the redundant memory cells (28, 29) when the recognition number received from the address terminal (21) coincides with the recognition number of the recognition number specification terminal (26).

[続葉有]



WO 2005/029505 A1



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: メモリチップ2.0は、メインメモリセル27と、メインメモリセル27に存在する欠陥を救済する冗長行メモリセル28および冗長列メモリセル29と、メインメモリセル27に対応する認識番号を記憶する認識番号指定端子26と、認識番号が入力されるアドレス端子21と、メインメモリセル27の欠陥が生じたメモリ空間を冗長メモリセル28、29のメモリ空間に置き換えるように割当てする冗長行セクタ回路30および冗長列セクタ回路31であって、アドレス端子21から入力される認識番号が、認識番号指定端子26の認識番号に一致する場合、メインメモリセル27の欠陥に対応するメモリ空間を冗長メモリセル28、29に割当てする冗長セクタ回路30、31とを有する。